

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

9693418

Basic Patent (No,Kind,Date): JP 3024736 A2 910201 <No. of Patents: 001>

FORMING METHOD OF SEMICONDUCTOR THIN FILM (English)

Patent Assignee: KYOCERA CORP

Author (Inventor): TOMITA KENJI; YAMAGUCHI NORITOSHI; KUBO HIROAKI;  
NITTA YOSHITERU; TANAKA KIYONARI

IPC: \*H01L-021/336; H01L-021/20; H01L-021/263; H01L-029/784

CA Abstract No: 115(06)061674N

Derwent WPI Acc No: C 91-077659

JAPIO Reference No: 150148E000099

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3024736	A2	910201	JP 89160480	A	890622 (BASIC)

Priority Data (No,Kind,Date):

JP 89160480 A 890622

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03361836      \*\*Image available\*\*

**FORMING METHOD OF SEMICONDUCTOR THIN FILM**

PUB. NO.:      **03-024736** [JP 3024736 A]

PUBLISHED:      February 01, 1991 (19910201)

INVENTOR(s):    TOMITA KENJI

                 YAMAGUCHI NORITOSHI

                 KUBO HIROAKI

                 NITTA YOSHITERU

                 TANAKA KIYONARI

APPLICANT(s): KYOCERA CORP [358923] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      01-160480 [JP 89160480]

FILED:           June 22, 1989 (19890622)

INTL CLASS:     [5] H01L-021/336; H01L-021/20; H01L-021/263; H01L-029/784

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R096 (ELECTRONIC MATERIALS -- Glass  
Conductors)

JOURNAL:        Section: E, Section No. 1056, Vol. 15, No. 148, Pg. 99, April  
15, 1991 (19910415)

**ABSTRACT**

**PURPOSE:** To form a uniform semiconductor thin film by a simple process by a method wherein an amorphous semiconductor layer of a conductivity type and an amorphous semiconductor layer of opposite conductivity type are stuck and formed in the contact state on an insulative substrate, and fused and solidified by projecting laser light.

**CONSTITUTION:** On an insulative substrate 1, a conductivity type amorphous semiconductor layer 2 is stuck and formed, and a specified part is etched and eliminated; in the eliminated part, an amorphous semiconductor layer 3 whose conductivity type is opposite to that of the layer 2 is stuck and formed in the state of contact with the layer 2. These amorphous semiconductor layers 2, 3 are fused and solidified by projecting laser light. Thus the layers 2, 3 are transformed into single crystal, and at the same time, a semiconductor junction part constituted of a conductivity type semiconductor single crystal and an opposite type semiconductor single crystal is formed. Thereby semiconductor thin film single crystal 2, 3 can be simply formed without using complicated process and a large-scaled apparatus.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-24736

⑫ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)2月1日

H 01 L 21/336  
21/20

7739-5F  
9056-5F

H 01 L 29/78

3 1 1 Y※

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体薄膜の形成方法

⑮ 特 願 平1-160480

⑯ 出 願 平1(1989)6月22日

⑰ 発 明 者 富 田 賢 時 滋賀県八日市市蛇溝町長谷野1166番地の6 京セラ株式会社  
社滋賀八日市工場内

⑰ 発 明 者 山 口 文 紀 滋賀県八日市市蛇溝町長谷野1166番地の6 京セラ株式会社  
社滋賀八日市工場内

⑰ 発 明 者 久 保 裕 明 滋賀県八日市市蛇溝町長谷野1166番地の6 京セラ株式会  
社滋賀八日市工場内

⑰ 発 明 者 新 田 佳 照 滋賀県八日市市蛇溝町長谷野1166番地の6 京セラ株式会  
社滋賀八日市工場内

⑱ 出 願 人 京セラ株式会社 京都府京都市山科区東野北井ノ上町5番地の22  
最終頁に続く

明 細 書

1 発明の名称

半導体薄膜の形成方法

2 特許請求の範囲

絶縁基板上に一導電型の非品質半導体層を被着形成して所定部分をエッチング除去し、前記絶縁基板上の一導電型非品質半導体層を除去した部分に前記一導電型とは反対の導電型の非品質半導体層を前記一導電型非品質半導体層と接触した状態に被着形成し、これら非品質半導体層にレーザー光を照射して溶融・固化させることにより半導体層を単結晶化すると同時に一導電型半導体単結晶と他の導電型半導体単結晶とで構成される半導体接合部を形成する半導体薄膜の形成方法。

3 発明の詳細な説明

(産業上の利用分野)

本発明は半導体薄膜の形成方法に関し、特に半導体接合部を有する単結晶半導体薄膜の形成方法に関する。

(従来の技術及びその問題点)

従来から非品質半導体層にレーザー光を照射して非品質半導体層を溶融・固化させて単結晶化するレーザービーム結晶化法がある。このレーザービーム結晶化法を応用して三次元IC等を製造する方法も種々提案されているが、三次元ICを製造する場合基板は必ず単結晶シリコン基板に限られてしまい、大面積化は到底望めないと共に、半導体層に不純物イオンを拡散する場合イオン注入法や熱拡散法で行うことから、不純物イオンを広い領域にわたって均一に拡散させることができなかったり、高温加熱に耐えられる基板を用いなければならない等技術上不可避の問題がある。

そこで、このような問題を解決する方法として例えば特開昭62-214668号公報では、第3図に示すように、基板11として大面積化が可能で安価なガラス基板を用い、このガラス基板上にSiO<sub>2</sub>膜12等を形成し、このSiO<sub>2</sub>膜の所定部分に後にトランジスタのチャンネル領域を形成する不純物となるホウ素12aとリン12b

をイオン注入法等で注入し、この $\text{SiO}_2$ 膜12上にシリコン薄膜13を堆積させてシリコン薄膜13にレーザー光を照射して加熱することにより $\text{SiO}_2$ 膜12中の不純物をシリコン薄膜13に熱拡散させてチャンネル領域を形成して、ガラス基板11上に逆チャンネル型の薄膜トランジスタ18、23等を形成することも提案されている。

ところが、この従来の薄膜トランジスタの製造方法では、 $\text{SiO}_2$ 膜12に予めトランジスタのチャンネル領域を形成する不純物をイオン注入法等で注入して置かなければならず、製造工程が煩雑で装置も大掛かりなものを用意しなければならないという問題が依然としてある。

#### (発明の目的)

本発明はこのような従来方法の問題点に鑑み案出されたものであり、イオン注入法等の煩雑な工程や大掛かりな装置を用いずに簡単に形成することができる半導体薄膜単結晶の形成方法を提供することを目的とするものである。

#### (発明の構成)

用いられる。基板1として#7059基板を用いる場合は、基板の表面に例えば酸化シリコン膜( $\text{SiO}_2$ )等を0.01~2.0 $\mu\text{m}$ 程度の厚みに被着させて置くとよい。なぜなら、後述する非品質半導体層の結晶化工程で基板1からの不純物の混入を阻止したり熱衝撃を緩和させることができるからである。

次に、同図(a)に示すように、絶縁基板1上に一導電型非品質半導体層2を形成する。この非品質半導体層2は、プラズマCVD法、熱CVD法、或いは光CVD法等で形成される。プラズマCVD法で形成する場合、プラズマ反応炉を2 Torr程度に減圧して、反応炉内にモノシラン( $\text{SiH}_4$ )等の水素化シリコンガスに不純物用ガスを1ppm~1%程度混入させて絶縁基板1を200~300℃に加熱しながらグロー放電分解することにより絶縁基板1上に堆積する。不純物用ガスとしては、n型半導体層(例えば一導電型非品質半導体層)を形成する場合はフォスフィン( $\text{PH}_3$ )等が用いられ、p型半導体層(例えば一導

本発明によれば、絶縁基板1上に一導電型の非品質半導体層を被着形成して所定部分をエッチング除去し、前記絶縁基板1上の一導電型非品質半導体層を除去した部分に前記一導電型とは反対の導電型の非品質半導体層を前記一導電型非品質半導体層と接触した状態に被着形成し、これら非品質半導体層にレーザー光を照射して溶融・固化させることにより半導体層を単結晶化すると同時に一導電型半導体単結晶と他の導電型半導体単結晶とで構成される半導体接合部を形成する半導体薄膜の形成方法が提供される。

#### (実施例)

以下、本発明を添付図面に基づき詳細に説明する。

第1図(a)(b)(c)は、本発明に係る半導体薄膜の形成方法を説明するための図である。

本発明に係る方法に用いられる絶縁基板1は、ナトリウムイオンをほとんど含有しないガラスや石英等からなり、非品質半導体層との熱膨張率の差や価格を考慮すると#7059基板等が好適に

電型非品質半導体層とは反対の導電型非品質半導体層)を形成する場合はジボラン( $\text{B}_2\text{H}_6$ )等が用いられる。この不純物ガスの濃度を調整することによって、最終的に形成される半導体単結晶内の不純物濃度を $10^{13}\text{cm}^{-3}$ ~ $10^{22}\text{cm}^{-3}$ の範囲内で任意に調整することができる。この非品質半導体層2は、500~20000Å程度の厚みに形成される。

次に、同図(b)に示すように、一導電型非品質半導体層2の所定部分に有機材料等から成るフォトリジスト膜を塗布して1~10%のフッ硝酸溶液( $\text{HNO}_3 + \text{HF}$ )中に2~60分程度浸漬してフォトリジスト膜が塗布された部分以外の一導電型非品質半導体層2をエッチング除去する。

次に、同図(c)に示すように、一導電型非品質半導体層2がエッチング除去された部分に一導電型非品質半導体層とは反対の導電型非品質半導体層3をプラズマCVD法、熱CVD法、或いは光CVD法により形成する。この一導電型非品質半導体層がエッチング除去された部分に反対の導電型

非品質半導体層を形成するにあたっては、例えばメタルマスクで一導電型非品質半導体層を被覆してエッチング除去された部分だけに反対の導電型の非品質半導体層を堆積してもよいし、全面に反対の導電型非品質半導体層を堆積して重複部分の反対の導電型の非品質半導体層を除去して形成してもよい。また、一導電型非品質半導体層と反対の導電型非品質半導体層との間に間隙を生じないように接触して形成する。尚、一導電型非品質半導体層と反対の導電型非品質とは一部が重複するように形成してもよい。

次に、絶縁基板1を500～600℃に2時間程度加熱して、非品質半導体層2、3内の水素を排出する。即ち、非品質半導体層2、3を絶縁基板1に均質に堆積するためにはシリコンの結合手を飽和させるための水素を含有させなければならない。例えば絶縁基板1を200～300℃に加熱して非品質半導体層2、3を堆積すると非品質半導体層2、3中に $10^{21}$ 個 $\text{cm}^{-3}$ 程度の水素が含有されてしまう。ところが、水素を含有した状

態で非品質半導体層2、3を単結晶化すると、レーザーを照射して加熱した際に水素が突沸して非品質半導体層が絶縁基板から剥離する。そこで、絶縁基板1を500～600℃に加熱して非品質半導体層2、3中の水素を $10^{19}$ 個 $\text{cm}^{-3}$ 程度まで低減させる。なお、加熱処理温度が500℃未満の場合は含有水素量を所望値まで低減させ難く、また600℃以上の場合には非品質半導体層2、3が多結晶化して単結晶化工程で膜中にクラック(亀裂)を生じ易くなる。従って、この加熱処理温度は500～600℃の範囲で行うことが望ましい。

次に、同図4に示すように、非品質半導体層2、3にレーザー光を照射して単結晶化させると同時に一導電型半導体単結晶2と反対の導電型半導体単結晶3とで構成される半導体接合部を形成する。レーザーとしては、例えばビームスポットが20～100 $\mu\text{m}$ でパワー0.5～20Wの連続発振アルゴンレーザー等が好適に用いられ、走査速度は1～20 $\text{cm/sec}$ 程度である。レーザー光

を照射すると非品質半導体層2、3は1400℃以上に加熱されて瞬時に溶融しレーザー光が通り過ぎると瞬時に固化して単結晶化する。半導体接合部の不純物拡散領域の境界を明確にしていわゆる逆方向特性やリーク電流等の素子特性を向上させるためにレーザーの走査速度は単結晶化できる範囲でできるだけ速くすることが望ましく、また溶融した非品質半導体層2、3を瞬時に固化させるために非品質半導体層2、3上等に放熱を促進するポリエチレングリコール等の粘性物質を塗布してレーザー光を照射するとよい。また、非品質半導体層2、3上に酸化シリコン膜( $\text{SiO}_2$ )等を0.5 $\mu\text{m}$ 程度の厚みに例えばプラズマCVD法等で被覆して置くとよい。なぜなら、非品質半導体層2、3がレーザーで加熱された際の熱をいち早く吸収して瞬時に固化させることができ、また大気中から非品質半導体層2、3内への汚染を防止でき、さらに非品質半導体層2、3の表面の波打ち等を防止できるからである。なお、一導電型半導体単結晶2及び反対の導電型半導体単結

晶3の不純物濃度は非品質半導体層2、3を形成する際の不純物ガスの濃度にそのまま依存している。

上記実施例では一導電型非品質半導体層と他の導電型非品質半導体層とでp-n接合を形成することについて述べたが、全く同様の方法によって第2図4a～4cに示すようなn<sup>+</sup>-p-n<sup>+</sup>接合も形成することができる。

このように形成した半導体接合部を有する半導体層2、3上に例えば酸化シリコンや窒化シリコン等からなるフィールド酸化膜やゲート絶縁膜を形成し、さらにアルミニウムやニッケル等から成るソース電極、ゲート電極、及びドレイン電極を所定部分に形成することにより、異なるチャネルのトランジスタで構成されるC-MOSトランジスタを極めて容易に形成することができる。(発明の効果)

以上のように、本発明に係る半導体薄膜の形成方法によれば、絶縁基板上に一導電型の非品質半導体層を被覆形成して所定部分をエッチング除去

し、前記絶縁基板上の一導電型非品質半導体層を除去した部分に前記一導電型とは反対の導電型の非品質半導体層を前記一導電型非品質半導体層と接触した状態に被着形成し、これら非品質半導体層にレーザー光を照射して溶融・固化させることにより半導体層を単結晶化すると同時に一導電型半導体単結晶と他の導電型半導体単結晶とで構成される半導体接合部を形成することから、例えばイオン注入装置のような大掛かりな装置を用いずに簡単な工程で大面積にわたって均質な半導体薄膜を高温処理工程を経ずに形成することができ、もって基板としてガラス等の安価で大面積の基板にC-MOS等の異なるチャンネルのトランジスタを簡単に形成できる。

#### 4. 図面の簡単な説明

第1図(a)(b)(c)(d)はそれぞれ本発明に係る薄膜半導体の製造方法を説明するための図、第2図(a)(b)(c)(d)はそれぞれ他の実施例を説明するための図、第3図は従来の半導体薄膜の製造方法を説明するための図である。

1、絶縁基板

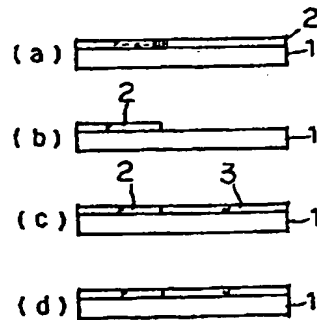
2、一導電型非品質半導体層

3、反対の導電型非品質半導体層

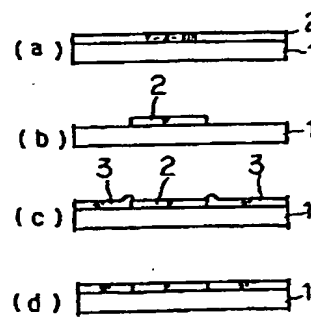
特許出願人

(663) 京セラ株式会社

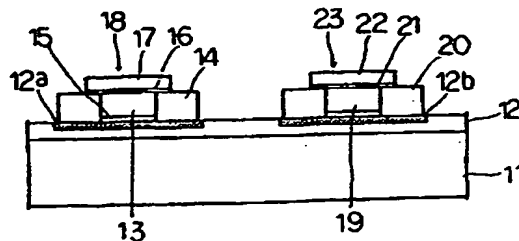
第1図



第2図



第3図



第1頁の続き

⑤Int. Cl.<sup>3</sup>

H 01 L 21/263  
29/784

識別記号

庁内整理番号

⑥発 明 者 田 中 聖 也 滋賀県八日市市蛇溝町長谷野1166番号の6 京セラ株式会  
社滋賀八日市工場内